

MALFUNCTION PREVENTING METHOD AT THE TIME OF ACTIVELY EXTRACTING PCB

Patent Number: JP3259315

Publication date: 1991-11-19

Inventor(s): SUWA YUJI

Applicant(s): FUJITSU LTD

Requested Patent: ☐ JP3259315

Application Number: JP19900056527 19900309

Priority Number(s):

IPC Classification: G06F3/00

EC Classification:

Equivalents:

Abstract

PURPOSE: To perform the extraction of a printed circuit board (PCB) without giving influence on a bus line and to easily perform the maintenance of the activation of a system by setting the PCB to be extracted and the bus line in signal cutoff states.

CONSTITUTION: It is assumed that a fault occurs in the PCB 3 and the active extraction of the PCB 3 is required. The output of an element 11 for signal cutoff in the PCB 9 for relay is controlled at high impedance before the extraction of the PCB 3 is performed. As a result, the cutoff state of signals from a signal bus line 5 to a bidirectional element 7 and the one from the element 7 to the bus line 5 are set in the cutoff states. As a result that the active extraction of the PCB 3 is performed in such state, no logic is transmitted from the element 7 to the bus line 5 even when potential difference occurs between the connecting points of the element 11 and the element 7. Therefore, no fluctuation of voltage level on the bus line 5 occurs, and no adverse effect on an effective signal being transmitted on the bus line 5 is given.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
 ⑪ 公開特許公報(A) 平3-259315

⑫ Int. Cl.⁵
 G 06 F 3/00

識別記号 庁内整理番号
 B 7629-5B

⑬ 公開 平成3年(1991)11月19日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 PCB 活性挿抜時の誤動作防止方法

⑮ 特 願 平2-56527

⑯ 出 願 平2(1990)3月9日

⑰ 発 明 者 諏 訪 祐 司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 ⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地
 ⑲ 代 理 人 弁 理 士 本 間 崇

明 細 書

1. 発明の名称

PCB 活性挿抜時の誤動作防止方法

2. 特許請求の範囲

複数のプリント基板がバックパネル上のバスラインにコネクタを介して共通接続される共通バス構造のシステムにおいて、

上記バスラインとコネクタの端子間を結ぶ信号線群の少なくとも一部分には、該信号線の途中に、双方向にデータ伝送を行なう機能を有するとともに、信号伝送の遮断機能をも有する双方向性素子を配置し、

さらに、上記コネクタに対してプリント基板を挿抜する際には、上記双方向性素子を信号遮断状態に制御する手段を、

設けたことを特徴とするPCB 活性挿抜時の誤動作防止方法。

3. 発明の詳細な説明

〔 概 要 〕

システムの待機状態で、該システム内のプリント基板を挿抜する際のシステムの誤動作防止方法に関し、

従来の複数のプリント基板からなる共通バス構造のシステムにおいて、プリント基板の活性挿抜を行なうと、バスライン上の有効信号が変動し、他のプリント基板が誤動作するためシステムの活性保守が困難であった問題の解決を目的とし、

バスラインとコネクタの端子間を結ぶ信号配線の途中に、双方向にデータ伝送を行なうとともに信号伝送の遮断機能を有する双方向性素子を配置し、さらにプリント基板の挿抜の際には、上記双方向性素子を信号遮断状態に制御する手段を設けて構成する。

〔 産業上の利用分野 〕

本発明は、システムの待機状態において、該

システム内のプリント基板(以下、単に「PCB」ともいう)をコネクタに対して挿抜(以下、単に「活性挿抜」ともいう)する際に、該PCBの活性挿抜に伴うシステムの誤動作を防止する方法に因し、

特に該PCBがバックパネル上のバスラインにコネクタを介して共通接続される共通バス構造のシステムにおいて、システム内のPCBの活性挿抜時に、上記バスライン上を伝送中の有効信号の電圧が変動するのを防止するPCB活性挿抜時の誤動作防止方法に関する。

[従来の技術]

近年、フィールドに於けるシステムの障害修復等については、システムを停止させずに障害部品の交換を行なう、いわゆる活性保守が要求されている。例えば、障害の発生したPCBについて活性挿抜を行なう保守が要求されているが、共通バス構造のシステムでは、バスライン上で伝送中の有効信号に対して悪影響を及ぼす

ことがあるため、これを防止する方法が必要となる。

しかしながら、従来のPCBの活性挿抜においては、第2図の従来の活性挿抜について説明する図に示されるがごとく、障害の発生したPCB53等をバックパネル上のコネクタ51に対して直接的に挿抜するしか方法がなかった。

このような場合に、どのような現象が生じるかについて、以下一例を上げて説明する。

例えば、バックパネル上のコネクタ52に固定された正常動作のPCB54中の双方向性素子58がバスドライバとして機能し、高レベル(HIレベル)で約5V(ボルト)を出力し、信号バスライン55もHIレベルにあるとする。

この状態で、PCB53が挿入される場合を考えると、通常はPCB53上の“+5V(ボルト)”、“GND”端子が、先にコネクタ51上の電源端子(電源バスライン56につながる端子)と接続され次に信号端子が接続されるような物理的構成となっている。

性がある。

また、信号バスライン55のレベルが常時LOWレベル(0V(ボルト))の場合についても同様に、LOWレベル(0V(ボルト))を維持し続けるべき素子の入力電圧が上昇し、誤動作を引き起こす可能性がある。

従って、従来、システムの活性保守を行なうに際しては、上記問題は避けられないものとして、システム全体への影響を考慮しつつ、細心の注意を払って行なう必要があった。

[発明が解決しようとする課題]

以上説明したように、従来のPCB活性挿抜においては、PCBの挿抜時にバスライン上の電圧レベルの変動を引き起こし、他の正常に動作しているPCBに誤動作が生じる場合があり、システムの活性保守を著しく困難にしていた。

本発明は、上記問題点に密みなされたものであり、バスラインに接続された他のPCBの動作に影響を与えることなく、障害発生PCBの

従って、PCB53がコネクタ51に挿入される直前には、該PCB53には電圧だけが印加され、双方向性素子57の入力点aはオープン状態となっており、該入力点aには約2V(ボルト)程度の電圧が生じることになる。

この状態で双方向性素子57の入力点aが信号バスライン55と接続されると、入力点aにHIレベル(5V(ボルト))の電圧が印加されることになり、この時、信号バスライン55から双方向性素子57の入力に対して大きな電流が流れることになり、信号バスラインの電圧は最悪2V(ボルト)まで下がる可能性がある。

従って、システム内に、PCB53、54の他に、別のPCBが信号バスライン55上に接続されており、それにHIレベルを入力とする素子が接続されていて正常に動作していた場合、HIレベル(5V(ボルト))を維持し続けるべきその素子の入力電圧は2V(ボルト)まで下がり、該2V(ボルト)は物理的には低レベル(LOWレベル)に相当し、誤動作を引き起こす可能

活性挿抜を容易に行ない得るPCB活性挿抜時の誤動作防止方法を提供することを目的とする。

〔課題を解決するための手段〕

本発明によれば、上述の目的は前記特許請求の範囲に記載した手段により達成される。

すなわち、本発明は、複数のプリント基板がバックパネル上のバスラインにコネクタを介して共通接続される共通バス構造のシステムにおいて、

上記バスラインとコネクタの端子間を結ぶ信号線群の少なくとも一部分には、該信号線の途中に、双方向にデータ転送を行なう機能を有するとともに、信号伝送の遮断機能をも有する双方向性素子を配置し、さらに、上記コネクタに対してプリント基板を挿抜する際には、上記双方向性素子を信号遮断状態に制御する手段を設けたPCB活性挿抜時の誤動作防止方法である。

3、4は挿抜可能なPCB、5はバックパネル上の信号バスライン、6はバックパネル上の電源バスライン、7はPCB3上の双方向性素子、8はPCB4上の双方向性素子、9はPCB3に対する中継用PCB、10はPCB4に対する中継用PCB、11、12は双方向性の信号遮断用素子を表わしている。

本実施例は、第2図に示した従来例に本発明を適用した実施例を示しており、第2図の従来例と比較して新たに中継用PCB9、10が追加されている。

この中継用PCB9、10はバスライン5、6とPCB3、4との中継用のものであり、バックパネル上に固定されており、挿抜不可能なものである。

該中継用PCB9、10中には双方向性の信号遮断用素子11、12が設けられ、信号バスライン5と双方向性素子7は信号遮断用素子11を介して接続され、同様に信号バスライン5と双方向性素子8は信号遮断用素子12を介して接続され

〔作用〕

本発明においては、システム中のPCBに障害が生じた場合に、障害発生PCBをコネクタに対して挿抜する際には、バスラインとコネクタの端子間に配置された信号遮断用の双方向性素子を信号遮断状態に置く。

例えば、この双方向性素子としてはトライステートの双方向性素子等を用い、PCBの挿抜の際には、該双方向性素子をフローティング状態（高インピーダンス状態）とする。

このように、挿抜されるPCBとバスラインとを信号遮断状態にすることにより、バスラインに対して影響を与えることなくPCBの挿抜ができることになり、システムの活性保守が容易に行なわれる。

〔実施例〕

以下、本発明の一実施例について説明する。

すなわち、第1図は本発明の一実施例を示す図であり、1、2はバックパネル上のコネクタ、

る。

なお、この信号遮断用素子11、12は双方向に論理を変えずにデータ伝送ができ、また出力をハイ・インピーダンス（High Impedance）にコントロールできるトライステート素子であり、例えば、TTL（Transistor Transistor Logic）の“74LS245”等がこれに相当する。

このような構成のもとで、今PCB3に障害が発生し、該PCB3の活性挿抜が必要になったとする。

この場合に、PCB3を挿抜する前に中継用PCB9中の信号遮断用素子11の出力をハイ・インピーダンスにコントロールすることにより、信号バスライン5から双方向性素子7へ、また逆に双方向性素子7から信号バスライン5へは信号が伝わらなくなる（信号遮断状態）。この状態で、PCB3の活性挿抜を行なった結果、信号遮断用素子11と双方向性素子7の接続点間に電位差が生じても、双方向性素子7から信号バスライン5には論理が伝わらないため、信号

バスライン 5 上で電圧レベルの変動が生じることはなくなる。

なお、以上説明した実施例では、中継用 PCB を設け、該中継用 PCB 上に双方向性の信号遮断用素子を配置した例を示したが、勿論これに限定されず、他に種々の構成が容易に用いられるものであり、要は信号遮断用の素子が信号バスラインとコネクタの端子間を結ぶ信号配線中のいずれかの場所に配置されていれば良い。

〔発明の効果〕

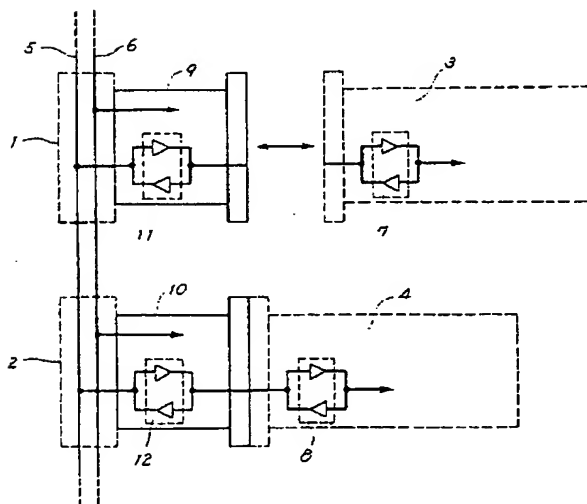
以上説明したように、本発明によれば、PCB の活性挿抜に対して、信号遮断用素子によりバスラインと活性挿抜される PCB とを論理的に遮断してしまうため、バスライン上で電圧レベルの変動が発生することはない、バスラインにより伝送中の有効信号に対して悪影響を及ぼすことがない。これにより、正常に動作している他の PCB が誤動作することはない、システムの活性保守が可能となる。

4. 図面の簡単な説明

第 1 図は本発明の一実施例を示す図、第 2 図は従来の PCB 活性挿抜について説明する図である。

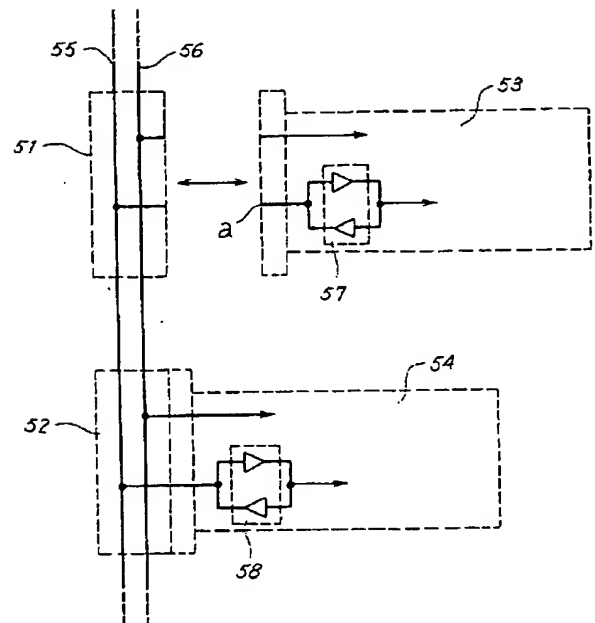
1, 2 ……バックパネル上のコネクタ、3, 4 ……挿抜可能な PCB、5 ……バックパネル上の信号バスライン、6 ……バックパネル上の電源バスライン、7, 8 ……双方向性素子、9, 10 ……中継用 PCB、11, 12 ……双方向性の信号遮断用素子

代理人 弁理士 本間 崇



本発明の一実施例を示す図

第 1 図



従来の PCB 活性挿抜について説明する図

第 2 図